

BEST AVAILABLE COPY

63 5/3/2885
med 5/3/2885

Patent number: JP63100777
Publication date: 1988-05-02
Inventor: NASU YASUHIRO; KAWAI SATORU; OKI KENICHI
Applicant: FUJITSU LTD
Classification:
- **international:** G09F9/30; H01B13/00; H01L21/28; H01L21/88;
H01L27/12; H01L29/78
- **european:**
Application number: JP19860246547 19861016
Priority number(s): JP19860246547 19861016

[Report a data error here](#)

Abstract of JP63100777

PURPOSE: To obtain a transparent electrode pattern, through which breakdown and a defective contact are not generated, by a method wherein a substrate is kept at 200 deg.C or more, the film formation of an InSn oxide is started through an ion plating method, the film of the oxide is formed, while lowering the temperature of the substrate gradually, and a predetermined electrode pattern is shaped through photoetching. **CONSTITUTION:** An ITO film 2 is formed onto a glass substrate 1 through an ion plating method, while lowering the temperature of the substrate 1 gradually from a temperature of 200 deg.C or more. The ITO film 2 is etched, using a resist pattern 3 as a mask, and the resist pattern 3 is removed. A drain electrode 2-1 and a source electrode 2-2 consisting of the ITO film are shaped, and an a-Si film 4, an SiN film 5 and a gate electrode 6 are formed, thus acquiring a thin-film Tr.

④日本国特許庁 (JP) ⑤特許出願公開
 ⑥公開特許公報 (A) 昭63-100777

| | | | |
|--------------|-------|-------------|-----------------------|
| ⑦Int.Cl. | 識別記号 | 厅内整理番号 | ⑧公開 昭和63年(1988)5月2日 |
| H 01 L 29/78 | 3 1 1 | P - 8422-5F | |
| G 09 F 9/30 | 3 3 8 | C - 6866-5C | |
| H 01 B 13/00 | HCB | D - 8222-5E | |
| H 01 L 21/28 | | N - 7638-5F | |
| 21/88 | | F - 6708-5F | |
| 27/12 | | 7514-5F | 審査請求 未請求 発明の数 1 (全4頁) |

⑨発明の名称 透明電極のパターン形成法

⑩特 願 昭61-246547
 ⑪出 願 昭61(1986)10月16日

⑫発明者 那須 安宏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
 内
 ⑬発明者 川井悟 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
 内
 ⑭発明者 沖賢一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
 内
 ⑮出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
 ⑯代理人 弁理士 井桁貞一

明細書

1. 発明の名称

透明電極のパターン形成法

2. 特許請求の範囲

Ⅰ 基板上にインジウム錯酸化物の電極パターンを形成するに際し、前記基板を200℃以上に保ちイオンプレーティング法にて前記インジウム錯酸化物の成膜を開始し漸次該基板の温度を降下しながら成膜を行い、その後に前記インジウム錯酸化物膜をフォトエッチングによって所定の電極パターンに形成することを特徴とする透明電極のパターン形成法。

Ⅱ 前記電極パターンを形成した基板を200℃以上で熱処理することを特徴とする特許請求の範囲 第1項記載の透明電極のパターン形成法。

Ⅲ 前記インジウム錯酸化物の電極が薄膜トランジスタのソース・ドレイン電極であることを特徴とする特許請求の範囲第1項及び第2項記載の透明電極のパターン形成法。

3. 発明の詳細な説明

(概要)

液晶表示素子を駆動する薄膜トランジスタに用いられる透明電極のパターン形成法において、電極間の短絡及び電極の接続不良を防止するために、基板に透明電極となるインジウム錯酸化物をイオンプレーティング法にて成膜する際、当該基板を200℃以上の温度から漸次降下することにより、チーバーエッジ形状の透明電極パターンを形成する。

(産業上の利用分野)

この発明は、液晶表示素子を駆動する薄膜トランジスタの透明電極のパターン形成法に関するものである。

液晶表示素子の薄膜トランジスタは、マトリックス配列された液晶表示素子を駆動している。従って、薄膜トランジスタの透明電極は基板上にて多数交差している。若しこの交叉点の1箇所でも短絡すると、交叉点を通過する配線が焼けた状態

特開昭63-100777 (2)

となる。又透明電極と動作半導体との接続（コンタクト）が悪いと点欠陥となる。

従って、線欠陥及び点欠陥の発生のない透明電極のパターン形成法が要望されている。

〔従来の技術〕

第4図は従来の透明電極のパターン形成工程図である。第4図(a)の工程では、ガラス基板1を例えれば、250 °Cに保って、インジウム錫酸化物膜（以後ITO膜と記す）20を形成する。

次の第4図(b)の工程で、ドレインとソース電極を形成するために、レジストパターン3をITO膜20上に形成する。この後に第4図(c)の工程でITO膜20をレジストパターン3に基づきエッチングしてドレイン電極20-1とソース電極20-2を形成し、レジストパターン3を剥離する。

次の第4図(d)の工程で、それら電極上にアモルファスシリコン(a-Si)よりなる動作半導体層4と、堿化シリコン(SiH)よりなるゲート絶縁層5と、ゲート電極6とを順次形成する。この際ソース電

極20-2は、表示電極に接続されている。

〔発明が解決しようとする問題点〕

上記したように薄膜トランジスタは形成されているが、ITO膜からなる電極、即ちドレイン電極20-1とソース電極20-2を低抵抗にするために、この膜厚を2000 Å程度以上の厚膜にする必要があり、この厚膜のために、a-Si層4形成時にこのa-Si層が異常成長をして、ITO膜バターンエッジでの絶縁破壊、即ちゲート電極6とソース電極20-2及びドレイン電極20-1との短絡及びa-Si層4とITO膜の接続（コンタクト）不良を発生するという問題があった。

この発明は、上記した従来の状況から絶縁破壊及びコンタクト不良を発生しない透明電極のパターン形成法を提供することを目的とするものである。

〔問題点を解決するための手段〕

基板上にイオンプレーティング法でITO膜を形

成する際に、基板を200 °C以上に保って成膜を開始し成膜進行とともに、徐々に基板温度を200 °C以下にして成膜を行う。

〔作用〕

ITOの成膜は、順次温度を低下しながら行われるので、次の第1図の工程は従来と同じであり、ITO膜2をレジストパターン3をマスクとしてエッチングした後、レジストパターン3を除去するとITO膜2は第1図ののような断面形状となる。この際にITO膜の膜厚方向にエッチングレートが変化しており、ITO膜2のエッジは、表面部が開いたチーバー状にエッチングされる。

温度との関係は、第2図に示すようになる。

次の第1図の工程は従来と同じであり、ITO膜2をレジストパターン3をマスクとしてエッチングした後、レジストパターン3を除去するとITO膜2は第1図ののような断面形状となる。この際にITO膜の膜厚方向にエッチングレートが変化しており、ITO膜2のエッジは、表面部が開いたチーバー状にエッチングされる。

これは、第3図に示す基板温度或いはアニール温度とエッチングレートの実験データによる。実験は堿酸系のエッチング液を用いた場合であり、一点鈍錫は塩化第2鉄と塩酸の混合液を用いた場合である。

本実施例のエッチング液は、塩化第2鉄と塩酸の交合液を用いて、エッチングを行った。成膜後A点にあるエッチングレート100nm/分を有するITO膜は、基板温度を200 °C以下に低下させることによって、エッチングレートは500nm/分以上に増加する。この実験結果に着目し、基板温度を順次低下させている。

〔実施例〕

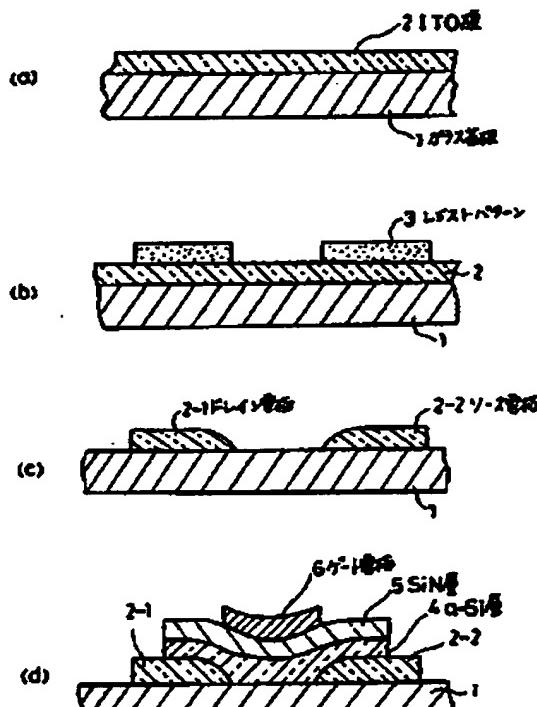
第1図は本発明による薄膜トランジスタの透明電極のパターン形成法を示す工程図である。まず第1図(a)の工程において、ガラス基板1を200 °C以上の温度から順次200 °C以下の温度状態にしながら、該基板上にITO膜2をイオンプレーティング法にて形成する。この成膜に要する時間と基板

即ち、第2回の成膜時間中の最初に形成されたITO膜はエッチングレートが低いのでサイドエッティングも少なく、後で形成されたITO膜は、例えばB点のものとなりエッチングレートが大きいのでサイドエッティングも大きい。従って、所望のチーバー形状が得られる。

此のITO膜よりなる透明電極すなわちドレイン電極2-1とソース電極2-2とのパターンを形成した後、第1回の工程で従来のようにa-Si膜4とSiNx膜5とゲート電極6を順次形成する。

(効果)

以上の説明から明らかなように、この発明によれば、チーバー形状を持つパターニングされたITO膜をソースとドレイン電極とすることでき、短絡防止が図れるとともにコンタクト状態が向上し高品質の薄膜トランジスタを作製する上で効果を発揮する。



本発明による透明電極のパターン形成過程工程図

第1図

4. 図面の簡単な説明

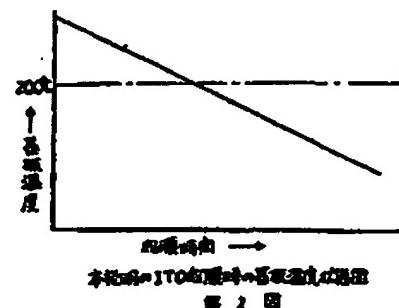
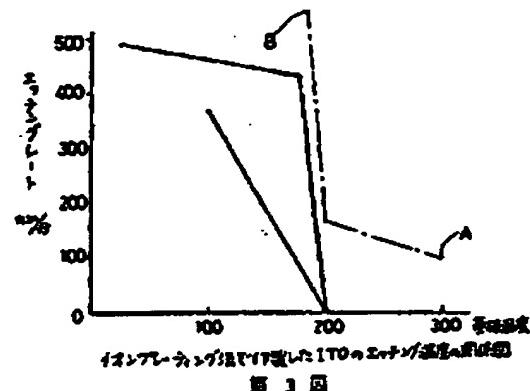
第1図は本発明による透明電極のパターン形成法を示す工程図。

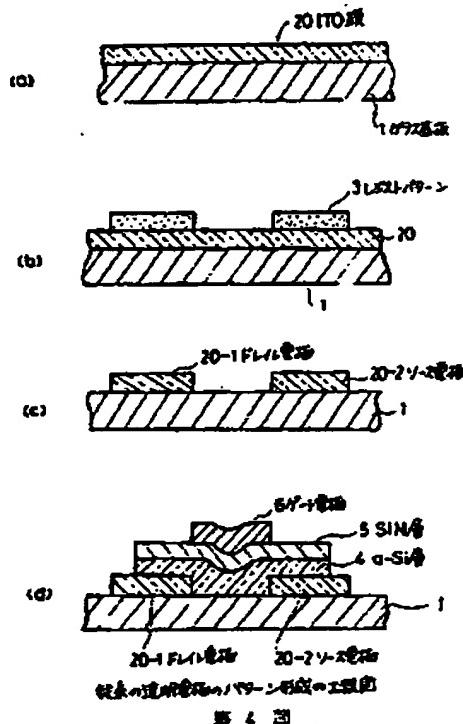
第2図は本発明のITO成膜時の基板温度状態図、第3図はイオンプレーティング法で作製したITO膜のエッチングレートと温度の関係図、

第4図は従来の透明電極のパターン形成の工程図である。

図において1はガラス基板、2はITO膜、3はレジストパターンを示す。

代理人弁理士井祐良

右側時間 →
本発明のITO成膜時の基板温度状態図
第2図イオンプレーティング法で作製したITOのエッチング速度の関係図
第3図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.